



(19)

(11) Publication number:

06125056 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 04271619

(51) Int. Cl.: H01L 27/108 G11C 11/22 H01L 27/04
H01L 27/10

(22) Application date: 09.10.92

(30) Priority:

(43) Date of application
publication: 06.05.94(84) Designated
contracting states:

(71) Applicant: SHARP CORP

(72) Inventor: KUBOTA YASUSHI
ONISHI SHIGEO

(74) Representative:

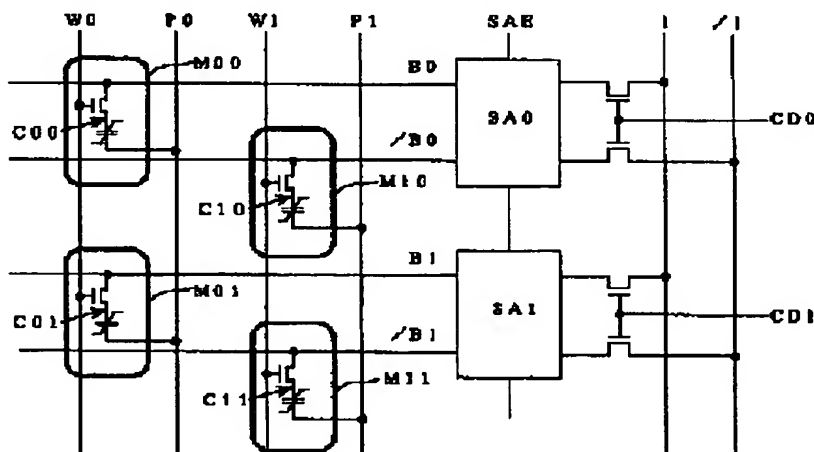
(54) DRIVING METHOD FOR
FERROELECTRIC MEMORY

(57) Abstract:

PURPOSE: To obtain a life suitable for practical use with the chip area approximate to that of DRAM by adopting an operation system which does not involve polarization or inversion in ordinary write and read cycles.

CONSTITUTION: In read and write cycles, common electrodes P0 and P1 of a capacitor insulating film, which compose memory cells M00 and M01 and dummy cells M10 and M11, are kept at the supply voltage. In reading the potential of pairs of bit lines B0 and /B0 and B1 and /B1 is equalized to a preset reference potential, and then a high voltage is applied to word lines W0 and W1 to bring switching transistors into conduction. Then sense amplifiers SA0 and SA1 compare for judgment signals read from the memory cells M00 and M01 to the bit lines B0 and B1, and those read from the dummy cells having the reference potential written to the bit lines /B0 and /B1. Furthermore, data is periodically refreshed as with ordinary DRAM.

COPYRIGHT: (C)1994,JPO&Japio



(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2930168号

(45) 発行日 平成11年(1999) 8 月 3 日

(24) 登録日 平成11年(1999) 5 月 21 日

(51) Int.Cl.⁶
H 0 1 L 27/10
G 1 1 C 11/22
H 0 1 L 21/8247
29/788
29/792

識別記号
4 5 1

F I
H 0 1 L 27/10 4 5 1
G 1 1 C 11/22
H 0 1 L 29/78 3 7 1

請求項の数 7 (全 13 頁)

(21) 出願番号 特願平4-271619

(22) 出願日 平成 4 年 (1992) 10 月 9 日

(65) 公開番号 特開平6-125056

(43) 公開日 平成 6 年 (1994) 5 月 6 日
審査請求日 平成 8 年 (1996) 7 月 5 日

(73) 特許権者 000005049

シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 久保田 靖
大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社内

(72) 発明者 大西 茂夫
大阪府大阪市阿倍野区長池町22番22号
シャープ株式会社内

(74) 代理人 弁理士 野河 信太郎

審査官 栗野 正明

最終頁に続く

(54) 【発明の名称】 強誘電体メモリ装置の駆動方法

1

(57) 【特許請求の範囲】

【請求項 1】 強誘電体メモリ装置が、情報を記憶するメモリセルと、情報を判定する際の基準となる信号を保持するダミーセルと、上記メモリセルに記憶された情報を電圧レベルで判定する差動型のセンスアンプと、センスアンプから延在するビット線対と、ビット線と交差する方向に延在するワード線と、ワード線と平行方向に延在しかつ上記メモリセルが接続されるワード線毎に分割され上記メモリセルに記憶された情報の制御を行う共通電極を備え、
上記メモリセルが上記ビット線と上記ワード線との交点に接続され、かつ 1 個のトランジスタと 1 個のキャパシタからなり、キャパシタ内に存在するキャパシタ絶縁膜の少なくとも一部が強誘電体材料からなる強誘電体膜を有し、

2

上記強誘電体メモリ装置の読み出し・書き込みサイクルの駆動方法として、上記メモリセルを構成する上記キャパシタ絶縁膜の共通電極を電源電圧に保ち、読み出し時には、上記ビット線対にかかる電位を予め定められた基準電位に等しくした後、上記ワード線に高電圧をかけて上記メモリセルを構成する上記トランジスタを導通させ、メモリセルからビット線に読み出された信号と、上記基準電位が書き込まれダミーセルから対となるもう一方のビット線に読み出された信号とを、上記センスアンプにより比較・判定し、かつ一定期間毎にメモリセルに記憶されたデータの読み出し・再書き込みによる情報のリフレッシュを行うことによって、メモリセルへの印加電圧として上記キャパシタ絶縁膜の分極状態が反転しない印加電圧領域を用い、メモリセルのデータをキャパシタの充電情報の形で保持させることを特徴とする強誘電

10

体メモリ装置の駆動方法。

【請求項2】 強誘電体メモリ装置が、情報を記憶するメモリセルと、情報を判定する際の基準となる信号を保持するダミーセルと、上記メモリセルに記憶された情報を電圧レベルで判定する差動型のセンスアンプと、センスアンプから延在するビット線対と、ビット線と交差する方向に延在するワード線と、ワード線と平行方向に延在しかつ上記メモリセルが接続されるワード線毎に分割され上記メモリセルに記憶された情報の制御を行う共通電極を備え、

上記メモリセルが上記ビット線と上記ワード線との交点に接続され、かつ1個のトランジスタと1個のキャパシタからなり、キャパシタ内に存在するキャパシタ絶縁膜の少なくとも一部が強誘電体材料からなる強誘電体膜を有し、

上記強誘電体メモリ装置の電源遮断直前の駆動方法として、全メモリセルをワード線毎に順次リフレッシュし、各ワード線に対してメモリセルへの再書き込みが完了した後に、上記分割された共通電極の電位を電源電位から接地電位に引き落とすことにより、メモリセルのデータの充電情報をワード線ごとに分極情報に変換し、全メモリセルに対して上記情報変換が完了した時点でメモリ装置の電源を遮断することにより、電源遮断後はキャパシタの分極情報の形で保持させることを特徴とする強誘電体メモリ装置の駆動方法。

【請求項3】 強誘電体メモリ装置が、情報を記憶するメモリセルと、情報を判定する際の基準となる信号を保持するダミーセルと、上記メモリセルに記憶された情報を電圧レベルで判定する差動型のセンスアンプと、センスアンプから延在するビット線対と、ビット線と交差する方向に延在するワード線と、ワード線と平行方向に延在しかつ上記メモリセルが接続されるワード線毎に分割され上記メモリセルに記憶された情報の制御を行う共通電極を備え、

上記メモリセルが上記ビット線と上記ワード線との交点に接続され、かつ1個のトランジスタと1個のキャパシタからなり、キャパシタ内に存在するキャパシタ絶縁膜の少なくとも一部が強誘電体材料からなる強誘電体膜を有し、

上記強誘電体メモリ装置の電源投入直後の駆動方法として、分極情報を保持しているメモリセルから、上記ワード線単位に上記ビット線上に読み出された信号と、予め設定された参照電位が印加された対となるもう一方のビット線に読み出された信号とを、上記センスアンプにより比較・判定した後、分極情報を再度充電情報としてメモリセルに書き込むことを特徴とする強誘電体メモリ装置の駆動方法。

【請求項4】 上記強誘電体膜が抗電界を達成する電圧が上記基準電位を与えられたビット線に上記メモリセルから低電位側の信号を読み出した時のビット線電位と接

地電位との差以上で、かつ、電源電圧以下であることを特徴とする請求項1、請求項2又は請求項3記載の強誘電体メモリ装置の駆動方法。

【請求項5】 上記強誘電体メモリ装置の電源遮断直前および電源投入直後において、充電情報から分極情報へ、あるいは分極情報から充電情報へ同時に変換されるメモリセルの数が、上記センスアンプ1組当たり多くとも1個であることを特徴とする請求項2または請求項3記載の強誘電体メモリ装置の駆動方法。

10 【請求項6】 上記強誘電体メモリ装置の電源投入直後の駆動方法として、上記メモリセルの全ての共通電極を当初接地電位とし、上記メモリセルを予め上記基準電位に充電されたビット線に接続した後、分割された共通電極に、順次上記強誘電体膜が抗電界に達する電圧と上記基準電位の和よりも高い電圧を印加することにより、メモリセルに書き込まれていた分極情報を読み出し、予め設定された参照電位を上記ビット線と対となるもう一方のビット線に印加し、上記センスアンプにより分極情報の値を判定した後、メモリセルに接続された共通電極を電源電位にすることにより、再度分極情報と同じデータをメモリセルに充電情報として書き込み、かつ、上記ダミーセルの蓄積電極側を上記基準電位が与えられた上記対となるもう一方のビット線に接続した後、分割された共通電極に、順次上記強誘電体膜が抗電界に達する電圧と上記基準電位の和よりも高い電圧を印加し、さらにその後共通電極を電源電圧にすることにより、上記ダミーセルに基準電位の充電情報を書き込むことを特徴とする請求項3記載の強誘電体メモリ装置の駆動方法。

30 【請求項7】 上記強誘電体メモリ装置の電源投入直後においては、上記メモリセルからビット線上に読み出された分極情報を上記センスアンプにより比較・判定する際に、対となるビット線上に印加される上記参照電位が、読み出し時において上記基準電位が書き込まれているダミーセルの情報を読み出した際の上記対となるもう一方のビット線の電位よりも高いことを特徴とする請求項3又は請求項6記載の強誘電体メモリ装置の駆動方法。

【発明の詳細な説明】

【0001】

40 【産業上の利用分野】この発明は、強誘電体メモリ装置の駆動方法に関し、特に、情報を記憶するメモリセルのキャパシタ絶縁膜が強誘電体材料からなる不揮発性半導体メモリ的一种である強誘電体メモリ装置の駆動方法に関する。

【0002】

【従来の技術】半導体メモリのうち、不揮発性メモリとして、EPROM、EEPROMなどが実用化され、多くのパソコンや情報機器で使用されている。これらの半導体メモリ装置は、読み出し時間はRAM（DRAM或いはSRAM）と同程度であるのに対し、消去・書き込

みにはRAMに比べて数桁長い時間が必要である。

【0003】また、EPROMではデータの消去に紫外線照射が必要なため機器への組み込みが容易でなく、パッケージも石英窓の付いた高価なセラミック・パッケージが必要である。一方、EEPROMではデータの消去・書き込みに高電圧または負電圧を用いるため、別電源が必要であるといった不便さがある。これらの問題を解決するものとして、強誘電体膜をキャパシタ絶縁膜として用いたメモリ装置が提案されている。

【0004】従来の強誘電体メモリ装置としては、図6に示すようなものがある（国際固体素子回路会議（ISSCC）予稿集 1989年 p242）。このメモリセルは、2個の強誘電体キャパシタと2個のスイッチング・トランジスタからなり、2個の強誘電体キャパシタの接続点はドライブ線に接続されている。また、このメモリ装置の読み出し方式は、強誘電体の分極反転を伴う破壊読み出しである。

【0005】書き込み時には、逆符号の信号が与えられたビット線対により、2個の強誘電体キャパシタは、逆方向に分極する。読み出し時には、ビット線を接地して、ドライブ線にパルス電圧を与えることにより、分極反転の有無で電位差が生ずるので、これをセンスアンプで増幅し検出する。

【0006】

【発明が解決しようとする課題】しかし、図6に示した例では、メモリセル1個当たり（1ビット当たり）、2個の強誘電体キャパシタと2個のスイッチング・トランジスタを必要とするため、ビット当たりの面積はかなり大きくなる。コスト競争力の強いEEPROMやDRAM等と同等のセル面積にするには、メモリセル1個当たり1キャパシタ・1トランジスタ構造を実現する必要がある。

【0007】また、この従来例では、破壊読み出しとなっているため、読み出し回数が、強誘電体膜の寿命すなわち十分な分極が得られる分極反転の回数によって制限される。現在の材料・プロセス技術では、強誘電体膜の寿命は $10^9 \sim 10^{11}$ 回であり、10年のデバイス寿命を達成する 10^{11} 回以上の分極反転は実現できない。このため、通常の書き込み・読み出し期間において、分極反転を伴わない方式を採用することが望ましい。

【0008】この発明は、以上のような事情を考慮してなされたものであり、1個のトランジスタと1個のキャパシタからなるメモリセルを有し、かつ、通常の書き込み・読み出しサイクルでは分極反転を伴わないような動作方式を採ることにより、DRAMと同程度のチップ面積で、実用化レベルの寿命を持つ、不揮発性の強誘電体メモリ装置の駆動方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するために、この発明は、強誘電体メモリ装置が、情報を記憶す

るメモリセルと、情報を判定する際の基準となる信号を保持するダミーセルと、上記メモリセルに記憶された情報を電圧レベルで判定する差動型のセンスアンプと、センスアンプから延在するビット線対と、ビット線と交差する方向に延在するワード線と、ワード線と平行方向に延在しかつ上記メモリセルが接続されるワード線毎に分割され上記メモリセルに記憶された情報の制御を行う共通電極を備え、上記メモリセルが上記ビット線と上記ワード線との交点に接続され、かつ1個のトランジスタと1個のキャパシタからなり、キャパシタ内に存在するキャパシタ絶縁膜の少なくとも一部が強誘電体材料からなる強誘電体膜を有し、上記強誘電体メモリ装置の読み出し・書き込みサイクルの駆動方法として、上記メモリセルを構成する上記キャパシタ絶縁膜の共通電極を電源電圧に保ち、読み出し時には、上記ビット線対にかかる電位を予め定められた基準電位に等しくした後、上記ワード線に高電圧をかけて上記メモリセルを構成する上記トランジスタを導通させ、メモリセルからビット線に読み出された信号と、上記基準電位が書き込まれダミーセルから対となるもう一方のビット線に読み出された信号とを、上記センスアンプにより比較・判定し、かつ一定期間毎にメモリセルに記憶されたデータの読み出し・再書き込みによる情報のリフレッシュを行うことによって、メモリセルへの印加電圧として上記キャパシタ絶縁膜の分極状態が反転しない印加電圧領域を用い、メモリセルのデータをキャパシタの充電情報の形で保持させることを特徴とする強誘電体メモリ装置の駆動方法を提供するものである。

【0010】また、さらにこの発明の強誘電体メモリ装置の電源遮断直前の駆動方法として、全メモリセルをワード線毎に順次リフレッシュし、各ワード線に対してメモリセルへの再書き込みが完了した後に、上記分割された共通電極の電位を電源電位から接地電位に引き落とすことにより、メモリセルのデータの充電情報をワード線ごとに分極情報に変換し、全メモリセルに対して上記情報変換が完了した時点でメモリ装置の電源を遮断することにより電源遮断後はキャパシタの分極情報の形で保持させることが好ましい。

【0011】また、この発明の強誘電体メモリ装置の電源投入直後の駆動方法として、分極情報を保持しているメモリセルから、上記ワード線単位に上記ビット線上に読み出された信号と、予め設定された参照電位が印加された対となるもう一方のビット線に読み出された信号とを、上記センスアンプにより比較・判定した後、分極情報を再度充電情報としてメモリセルに書き込むことが好ましい。

【0012】また、この発明の強誘電体メモリ装置の駆動方法において、強誘電体膜が抗電界を達成する電圧が上記基準電位を与えられたビット線に上記メモリセルから低電位側の信号を読み出した時のビット線電位と接地

電位との差以上で、かつ、電源電圧以下であることが好ましい。

【0013】また、この発明の強誘電体メモリ装置の電源遮断直前および電源投入直後において、充電情報から分極情報へ、あるいは分極情報から充電情報へ同時に交換されるメモリセルの数が、上記センスアンプ1組当たり多くとも1個であることが好ましい。

【0014】また、この発明の強誘電体メモリ装置の電源投入直後の駆動方法としては、上記メモリセルの全ての共通電極を当初接地電位とし、上記メモリセルを予め上記基準電位に充電されたビット線に接続した後、分割された共通電極に、順次上記強誘電体膜が抗電界に達する電圧と上記基準電位の和よりも高い電圧を印加することにより、メモリセルに書き込まれていた分極情報を読み出し、予め設定された参照電位を上記ビット線と対となるもう一方のビット線に印加し、上記センスアンプにより分極情報の値を判定した後、メモリセルに接続された共通電極を電源電位にすることにより、再度分極情報と同じデータをメモリセルに充電情報として書き込み、かつ、上記ダミーセルの蓄積電極側を上記基準電位が与えられた上記対となるもう一方のビット線に接続した後、分割された共通電極に、順次上記強誘電体膜が抗電界に達する電圧と上記基準電位の和よりも高い電圧を印加し、さらにその後共通電極を電源電圧にすることにより、上記ダミーセルに基準電位の充電情報を書き込むことが好ましい。

【0015】また、この発明の強誘電体メモリ装置の電源投入直後においては、上記メモリセルからビット線上に読み出された分極情報を上記センスアンプにより比較・判定する際に、対となるビット線上に印加される上記参照電位が、読み出し時において上記基準電位が書き込まれているダミーセルの情報を読み出した際の上記対となるもう一方のビット線の電位よりも高いことが好ましい。

【0016】

【作用】この発明によれば、強誘電体メモリ装置の読み出し・書き込みサイクルにおいて、メモリセルを構成するキャパシタ絶縁膜の共通電極を電源電圧に保ち、読み出し時には、ビット線対にかかる電位を予め定められた基準電位に等しくした後、ワード線に高電圧をかけてメモリセルを構成するトランジスタを導通させ、メモリセルからビット線に読み出された信号と、基準電位が書き込まれダミーセルから対となるもう一方のビット線に読み出された信号とを、センスアンプにより比較・判定して読み出しを行ない、かつ一定期間毎にメモリセルに記憶されたデータの読み出し・再書き込みによる情報のリフレッシュを行うようにしているので、読み出し・書き込みサイクルにおいて分極反転を伴わない動作ができる。

【0017】また、強誘電体メモリ装置の電源遮断直前

において、全メモリセルをワード線毎に順次リフレッシュし、各ワード線に対してメモリセルへの再書き込みが完了した後に、分割された共通電極の電位を電源電位から接地電位に引き落としているので、メモリセルのデータの充電情報をワード線ごとに分極情報に変換し、電源遮断後はキャパシタの分極情報の形で保持させることができる。

【0018】また、強誘電体メモリ装置の電源投入直後において、メモリセルの全ての共通電極が当初接地電位にある場合に、メモリセルを予め基準電位に充電されたビット線に接続した後、分割された共通電極に、順次強誘電体膜が抗電界に達する電圧とビット線対に等しく印加される電位の和よりも高い電圧を印加することにより、メモリセルに書き込まれていた分極情報を読み出し、予め設定された参照電位をビット線と対となるもう一方のビット線に印加し、センスアンプにより分極情報の値を判定した後、メモリセルに接続された共通電極を電源電位にすることにより、再度分極情報と同じデータをメモリセルに充電情報として書き込み、かつ、ダミーセルの蓄積電極側を基準電位が与えられた対となるもう一方のビット線に接続した後、分割された共通電極に、順次強誘電体膜が抗電界に達する電圧とビット線対に等しく印加される電位の和よりも高い電圧を印加し、さらにその後共通電極を電源電圧にすることにより、ダミーセルに基準電位の充電情報を書き込むようにしているので、読み出し・書き込みサイクルに戻ってデータを充電情報として処理することができる。

【0019】以上のように作用するこの発明の強誘電体メモリ装置は、1個のトランジスタと1個のキャパシタからなるメモリセルを有し、かつ、書き込み・読み出しサイクルでは分極反転を伴わないような動作方式を採ることにより、不揮発性強誘電体メモリ装置のチップ面積を、EEPROMやDRAMと同程度まで小さくすることができるとともに、その寿命を実用化レベル(10年以上)にまで高めることが可能である。

【0020】

【実施例】以下、図に示す実施例に基づいて、この発明を詳説する。なお、これによってこの発明が限定されるものではない。図1は、この発明の強誘電体メモリ装置の回路構成を示している。図1において強誘電体メモリ装置の主要部であり、この発明の構成をなすメモリセル、センスアンプ及び列選択回路のみを表示しており、他の周辺回路については省いている。

【0021】図2に示すように、この強誘電体メモリ装置のメモリセルM00、M01、M10、M11は、1個のトランジスタと1個のキャパシタからなり、通常のDRAMと類似した構造を採っている。ただし、キャパシタ絶縁膜として、その一部または全部に強誘電体膜を採用しているとともに、その共通電極P0、P1はワード線単位に分割されており、異なるワード線W0、W1

に接続されるメモリセルは、それぞれ異なる共通電極に接続されている。

【0022】1本のワード線W0、W1には、それぞれ、1024個のメモリセル或はダミーセルが接続されている。また、1本のビット線B0、/B0、B1/B1には、それぞれ、128ないし256個のメモリセルと少なくとも1個のダミーセルが接続されている。すなわち、1つのメモリセル・ブロックは、通常、256Kないし512K個のメモリセルと少なくとも2K個のダミーセルによるアレイ構造をなしている。このダミーセルは、DRAMダミーセルと同様に、メモリセルと同一の構造を有し、基準電位（通常、電源電圧の1/2）が書き込まれている。

【0023】センスアンプSA0、SA1は、メモリセルからの情報をダミーセルからの情報を基準として判定するもので、ビット線対（B0と/B0、B1と/B1）上に読み出された微小な電位差を増幅する差動アンプである。ここでダミーセルは前記判定の基準となる電位を発生させる。

【0024】すなわち、あるメモリセルから読み出された信号電圧が、対応する（対となるビット線に接続される）ダミーセルから読み出された信号電圧に比べて、大きい小さいかによって情報を判定するものである。

【0025】以下に、この強誘電体メモリ装置の動作について説明する。ここでは、ワード線W0に接続しているセルM00、M01をメモリセル、ワード線W1に接続しているセルM10、M11をダミーセルとする。M10はメモリセルM00と対応し、M11はメモリセルM01と対応するダミーセルであり、それぞれ対応するメモリセルのデータを読み出す基準電位を発生する。

【0026】まず、通常の読み出し・書き込み期間における動作について説明する。図2は、読み出し時における各信号線の電圧波形の変化と強誘電体膜の分極状態の変化（電界-分極特性）を示している。図3は、書き込み時における各信号線の電圧波形の変化と強誘電体膜の分極状態の変化（電界-分極特性）を示している。

【0027】図2および図3において、P0は共通電極線、W0はワード線、B0はビット線、C00又はC01はメモリセルのキャパシタの蓄積電極側ノード、SAEはセンスアンプ活性化線、CD0は列選択線に関してそれぞれの電圧変化を示している。

【0028】通常の読み出し・書き込み期間において、各メモリセルM00、M01及びダミーセルM10、M11の共通電極P0、P1は常に電源電圧にある。一方、記憶保持期間中は、各メモリセルM00、M01のキャパシタの蓄積電極側ノードC00、C01は書き込まれたデータに応じて電源電位（データ=1）または接地電位（データ=0）に、また、各ダミーセルM10、M11のキャパシタの蓄積電極側ノードC10、C11は基準電位（電源電位の1/2）にある。

【0029】図2に示した読み出し期間における初期状態（待機状態）では、各メモリセルM00、M01のキャパシタの蓄積電極側ノードC00、C01は書き込まれたデータに応じて電源電位（データ=1）または接地電位（データ=0）にある。図2において、C00の蓄積電極側電位が電源電位に等しい時は、図中の①の状態にある。

【0030】また、C00の蓄積電極側電位が接地電位に等しい時は、図中の①'の状態にある。一方、各ダミーセルM10、M11のキャパシタの蓄積電極側ノードC10、C11は基準電位（電源電位の1/2）にある。また、ビット線対B0、/B0、B1、/B1は、予め基準電位（ここでは、電極電位の1/2）に充電されている。情報の読み出しに際しては、ワード線W0およびダミーワード線W1を活性化して、スイッチング・トランジスタを導通させる。

【0031】これにより、メモリセルM00、M01に蓄えられた充電電荷がビット線B0、B1に読み出され、基準電位が書き込まれたダミーセルM10、M11からビット線/B0、/B1上に読み出された信号との間に電位差が生じ、①の状態にあった分極は②に変化し、①'の状態にあった分極は②'に変化する。これをセンスアンプSA0、SA1により比較・増幅することで、データを判定する。

【0032】このとき、センスアンプSA0、SA1の動作によってビット線対B0及び/B0、B1及び/B1の電位は既に電源電位ないし接地電位となっているので、メモリセルM00、M01の元データはスイッチング・トランジスタを介して当該メモリセルに再書き込みされている。すなわち、メモリセルの分極状態は、②から③へ、または②'から③'へと変化する。

【0033】その後、列選択線CD0、CD1のいずれか1つ（ここではCD0とする）を活性化して、ビットB0、/B0をそれぞれ情報の入出力を行う入出力線1、/1に接続することにより、情報を周辺回路部へ読み出す。しかる後に、ワード線W0を不活性化してメモリセルM00、M01をビット線B0、B1から切り離して情報を保持する。その後、ビット線B0、/B0、B1、/B1を基準電位に充電して、ダミーセルM10、M11に基準電位を書き込んだ後、ダミーワード線W1を不活性化することにより、待機状態に戻る。

【0034】以上のような通常の読み出しの期間において、データは充電情報として蓄えられているため、各種のリーク電流すなわちスイッチング・トランジスタのOFF電流、キャパシタ蓄積電極側ノードのPN接合におけるリーク電流、強誘電体膜のリーク電流などにより情報が消失する恐れがある。したがって、通常のDRAMと同様に、定期的にデータのリフレッシュ（再書き込み）を行う必要がある。

【0035】図3に示した書き込み期間においても、セ

11

ンスアンプSA0, SA1の活性化までは読み出し期間と同様の動作を行う。すなわち、分極状態が図3の電界-分極特性で示した①または①'の状態にある初期状態または前状態において、そのときのメモリセル情報を一旦ビット線対B0及び/B0, B1及び/B1上に読み出して、センスアンプSA0, SA1を活性化する。このとき、分極状態は、①から②へ、または①'から②'へ変化する。

【0036】その後、列選択線CD0, CD1の内いずれか1つ(ここではCD0)を活性化して入出力線I, /Iから記憶すべき信号を読み込む。このとき、センスアンプSA0, SA1は動作状態になっているので、ビット線対B0及び/B0の電位は、新たに書き込まれたデータに応じて電源電位ないし接地電位となっている。したがって、メモリセルM00にはスイッチング・トランジスタを介して新たな情報が書き込まれる。このとき、分極状態は②から③へ、または②'から③'へ変化する。

【0037】一方、新たなデータが書き込まれなかったビット線対B1及び/B1の電位は、元データに応じた電位のままであり、これがそのままスイッチング・トランジスタを介してメモリセルM01に再書き込みされる。

【0038】以下、読み出しサイクルと同様に、ワード線W0を不活性化してメモリセルM00, M01をビット線B0, B1から切り離して情報を保持する。その後、ビット線B0, /B0, B1, /B1を基準電位に充電して、ダミーセルM10, M11に基準電位を書き込んだ後、ダミーワード線W1を不活性化することにより、待機状態に戻る。

【0039】したがって、このときキャパシタの強誘電体膜には、常に同一方向の電界がかかるようになっているので、図2及び図3の電界-分極特性グラフに示すように分極反転を起こさない。よって、強誘電体膜の劣化を小さくすることができる。すなわち、通常の書き込み・読み出し期間では、強誘電体膜を単なる高誘電率の容量膜として利用することにより、実用的なデバイス寿命を保証するものである。

【0040】次に、電源遮断時における動作について説明する。図4は、電源遮断時における各信号線の電圧波形の変化と強誘電体膜の分極状態の変化(電界-分極特性)を示している。電源遮断時には、すべてのメモリセル・データを順次ワード線毎にリフレッシュ(読み出し/再書き込み)し、メモリセルの蓄積電極にデータが再書き込みされている状態で、その共通電極の電位を接地電位にすることにより、メモリセルの充電情報を分極情報に変換する。

【0041】強誘電体材料の分極は、無電界下では長期にわたって破壊されないので、電源を切った状態でもメモリセル情報は保持され、不揮発性メモリ装置が実現さ

12

れる。まず、図2における通常の読み出し期間と同様に、ワード線W0を活性化して、メモリセルM00, M01の情報をビット線B0, B1上に読み出した後、センスアンプSA0, SA1で増幅し、メモリセルM00, M01に再書き込みする。このときの分極状態は、図4に示す①または①'の状態にある。

【0042】その後、メモリセルの共通電極P0を接地することにより、電源電位(データ=1)が書き込まれていたメモリセルのキャパシタ強誘電体膜の分極を反転させる。このとき、分極は①から②へと変化する。

【0043】また、接地電位(データ=0)が書き込まれていたメモリセルのキャパシタ強誘電体膜の分極は反転しない。すなわち、分極状態は①'から②'へと変化するのみである。このとき、ダミーセルM10, M11に関しては、共通電極P1の電位を下げる操作は行わず、したがって、分極情報への変換は行わない。

【0044】以上の操作を各ワード線毎に繰り返すことにより、すべてのメモリセルのデータを充電情報から分極情報に変換する。すべてのメモリセルについて変換が終わった後、メモリ装置の電源を遮断する。

【0045】電源遮断後は、上記の各種リーク電流により、蓄積電極側ノードC00, C01の電位はゆっくりと下降し、十分に時間が経過した後は、接地電位に達してキャパシタ間の電界が零になるので、これらの分極状態は③または③'のように変化する。

【0046】電源投入時までは、この状態が保持されることになる。このとき、ダミーセルM10, M11の情報は保持する必要がないため、上記操作は不要である。

【0047】このモードにおいて、分極が反転しなければならない条件は、キャパシタの蓄積電極側ノードが電源電位にあり、共通電極が接地電位にあるときである。このように、強誘電体膜に電源電圧が印加されることにより分極が反転するためには、この強誘電体膜が抗電界に達する電圧を電源電圧以下にするような強誘電体膜厚が必要である。

【0048】次に、電源投入時における動作について説明する。図5は、電源投入時における各信号線の電圧波形の変化と強誘電体膜の分極状態の変化(電界-分極特性)を示している。電源投入時には、すべてのメモリセル・データを、ワード線毎に順次、分極情報から充電情報へ変換することにより、通常の読み出し・書き込み期間に復帰させる。

【0049】まず、メモリセルの共通電極P0はすべて接地電位となっており、各ビット線対B0及び/B0, B1及び/B1は基準電位に充電されている。メモリセルの蓄積電極側ノードC00, C01はリーク電流による放電のため、接地電位となっている。このとき、分極状態は図5に示す①または①'の状態にある。

【0050】この状態で、まず、ワード線W0を活性化させて、スイッチング・トランジスタを導通させ、蓄積

電極側ノードC00, C01に基準電位を印加する。これによって、分極状態は①から②へ、または①' から②' へと変化する。

【0051】このとき、強誘電体膜が分極反転を起こすとデータが破壊されるので、この強誘電体膜が抗電界に達する電圧を印加電圧差（基準電位を与えられたビット線にメモリセルから接地電位の信号を読み出した時のビット線電位と接地電位の差で接地電位と基準電位との差にほぼ等しく、この場合は電源電位の約1/2）以上になるような膜厚にして、分極反転しないようにする必要がある。

【0052】その後、共通電極P0に強誘電体膜が抗電界に達する電圧と基準電位の和よりも高い電圧パルス（この場合、電源電圧の1.5倍の電圧パルス）を印加することにより、電源遮断時に分極反転したメモリセルの強誘電体膜のみを再度分極反転させる。このときの分極反転の有無により、ビット線B0, B1上の電荷量の変化に差が生じ、これがビット線上B0, B1に電位変化として現れ分極状態は②から③へ、または②' から③' へ変化する。

【0053】その後、メモリセルの共通電極P0を、通常の読み出し・書き込みモードの電位である電源電位にした後、センスアンプSA0, SA1を活性化して、この電位変化を増幅・判定し、また、スイッチング・トランジスタを介してメモリセルM00, M01に、充電情報としてデータを書き込む。このとき分極状態は③から④へ、または③' から④' へ変化する。

【0054】このようにして、電源遮断時の分極情報を充電情報に変換し、通常の読み出し・書き込みモードに復帰する。このセンスアンプによる情報の判定において、通常の書き込み・読み出し期間と同様に、ダミーセルM10, M11からの信号との比較により、メモリセルM00, M01のデータを判定しようとすると、1本のビット線に接続する128個ないし256個のメモリセルに対して、1個のダミーセルが対応するため、ダミーセルを構成する強誘電体膜が、メモリセルを構成する強誘電体膜よりも2桁以上多く分極反転を行う可能性があり、ダミーセルを構成する強誘電体膜の寿命でメモリ装置の寿命が制限されてしまい（寿命が2桁以上短くなる）、望ましくない。

【0055】したがって、分極情報を読み出す際には、ダミーセルM10, M11を用いず、予め設定された参照電位と比較することにより、データの判定をすることが望ましい。ここで、情報が読み出されたビット線B0, B1の電位は、分極反転の有無に拠らず常に基準電圧から上昇するので、これを検知するための参照電位は、基準電圧（電源電位の1/2）よりも高くしておく必要がある。この基準電位は、メモリアレイ外部の周辺回路部において、生成される。

【0056】また、通常の読み出し・書き込み期間に戻

る際に、ダミーセルM10, M11に充電情報（基準電位）を書き込んでおく必要があるが、これは、ダミーセルM10, M11にビット線/B0, /B1から基準電位を与えながら、共通電極P1に電源電圧の1.5倍のバルス電圧を印加した後、電源電位を与えることで達成される。これは、ダミーセルM10, M11を構成する強誘電体膜の分極を、メモリセルM00, M01を構成する強誘電体膜の分極に揃えた上で、基準電圧に充電するためである。

10 【0057】以上のように、この構成においては、キャパシタを構成する強誘電体膜の分極反転は、電源遮断時および電源投入時にのみ起こるので、強誘電体膜の膜質劣化は少なく、実用的なデバイス寿命を保証することが可能である。

【0058】上述の、分極情報から充電情報への変換、及び、充電情報から分極情報への変換は、ワード線毎になされるが、これは、同時に、センスアンプ1組当たり1個のメモリセルに対して行うことができるので、通常の読み出し・書き込み期間におけるリフレッシュ（16 MDRAMの典型的な例として、センスアンプ8組当たり1個のメモリセルが、同時にリフレッシュされる）サイクルよりも短い周期で、変換を終えることも可能である。ただし、同時に多くのメモリセルのデータを変換すると、ピーク電流の上昇により電源線の電位変動が発生し、データ破壊が起こる可能性があるので、注意が必要である。

【0059】

【発明の効果】この発明によれば、1個のトランジスタと1個のキャパシタからなるメモリセルを有し、かつ、通常の書き込み・読み出しサイクルでは分極反転を伴わないような動作方式を採っているため、DRAMと同程度の小さなチップ面積で、実用化レベルの寿命を持つ、不揮発性強誘電体メモリ装置を提供することが可能である。

【図面の簡単な説明】

【図1】この発明の強誘電体メモリ装置の回路構成図である。

【図2】読み出し時における信号電圧変化と電界-分極特性を示す説明図である。

40 【図3】書き込み時における信号電圧変化と電界-分極特性を示す説明図である。

【図4】電源遮断時における信号電圧変化と電界-分極特性を示す説明図である。

【図5】電源投入時における信号電圧変化と電界-分極特性を示す説明図である。

【図6】従来の強誘電体メモリ装置の回路構成図である。

【符号の説明】

M00, M01

メモリセル

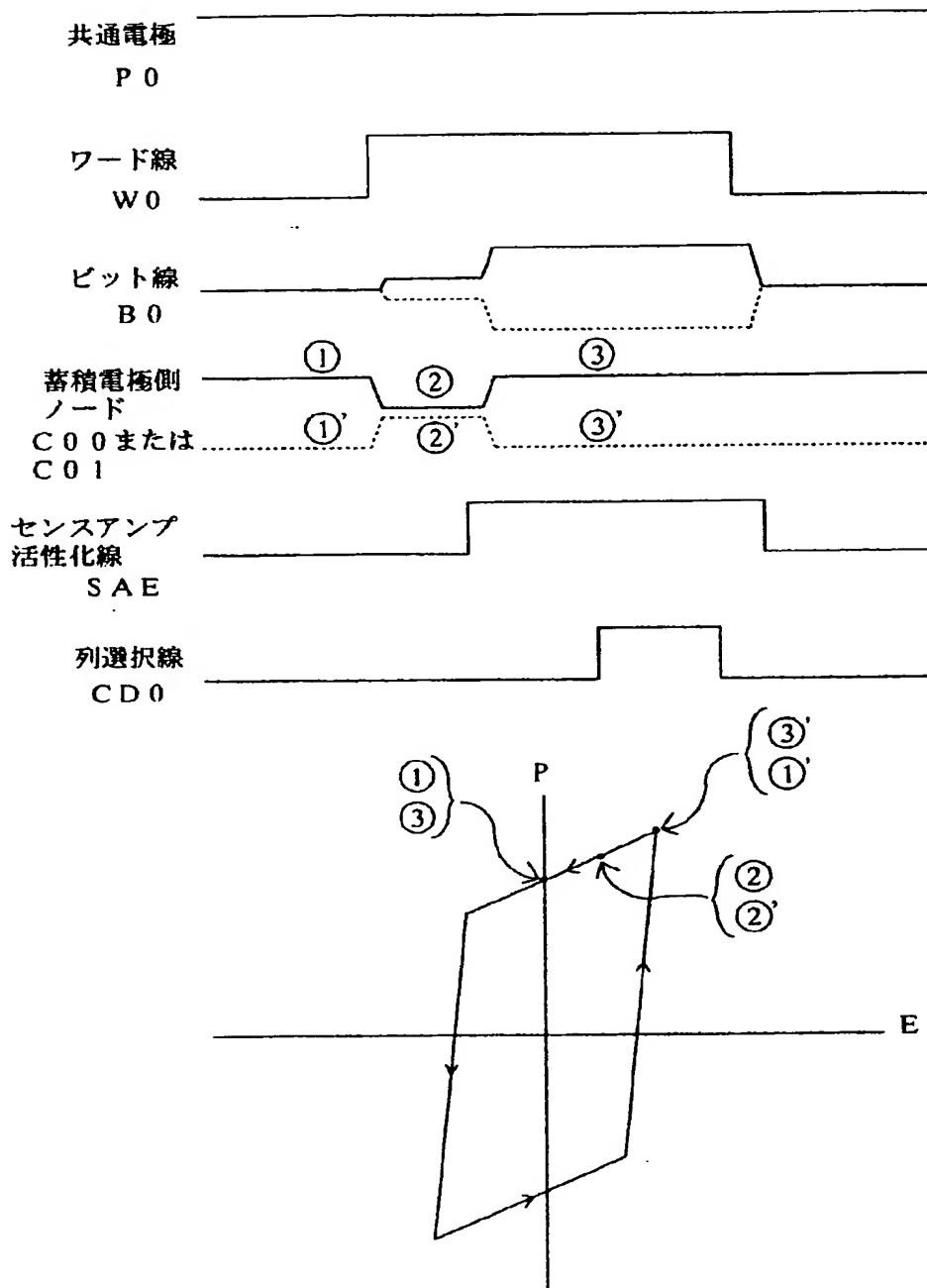
50 M10, M11

ダミーセル

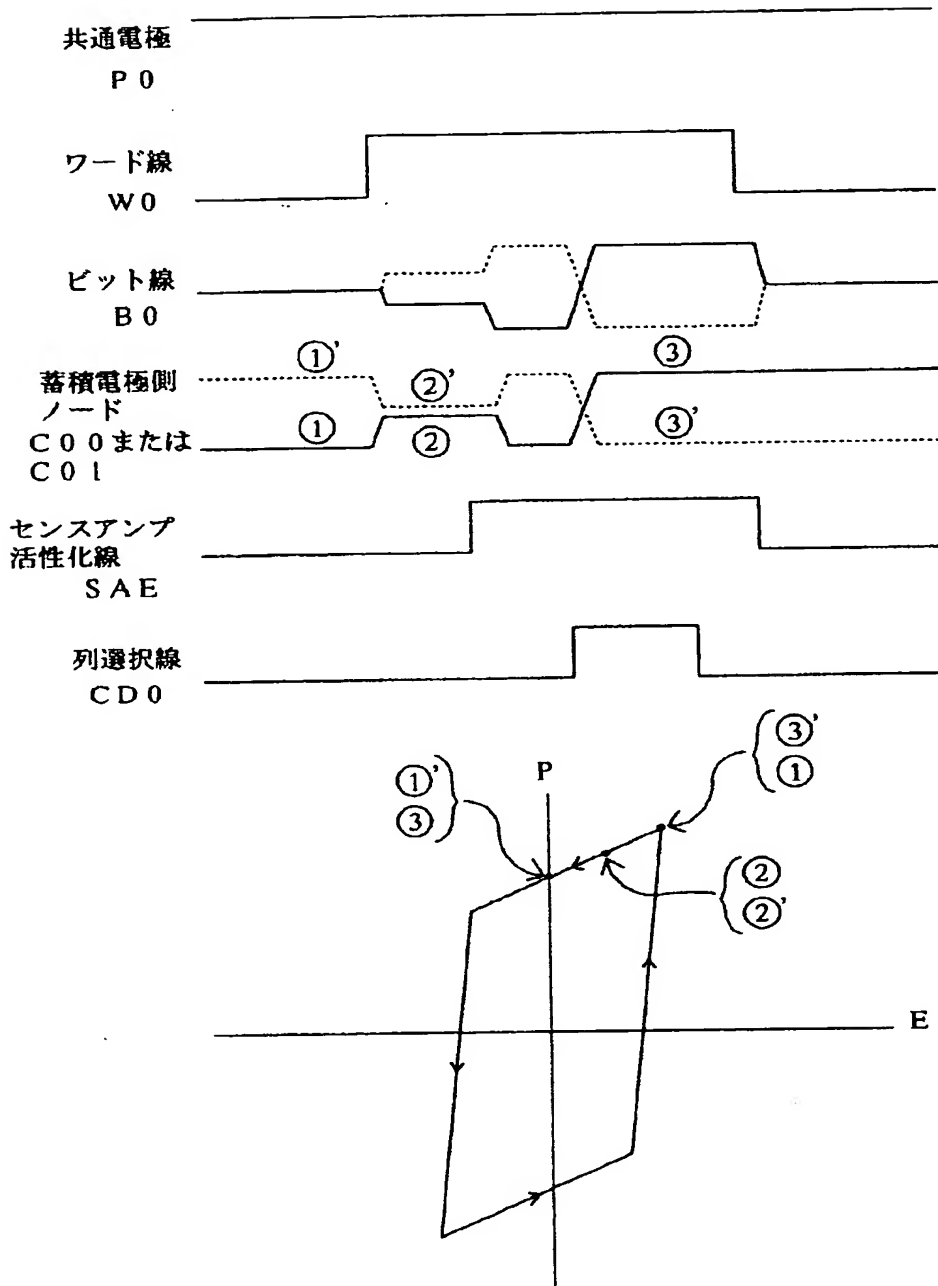
* 極側ノード
CD0, CD1
I, /I
E
れる電界
P

列選択信号
入出力信号線
強誘電体膜に印加さ
強誘電体膜の分極

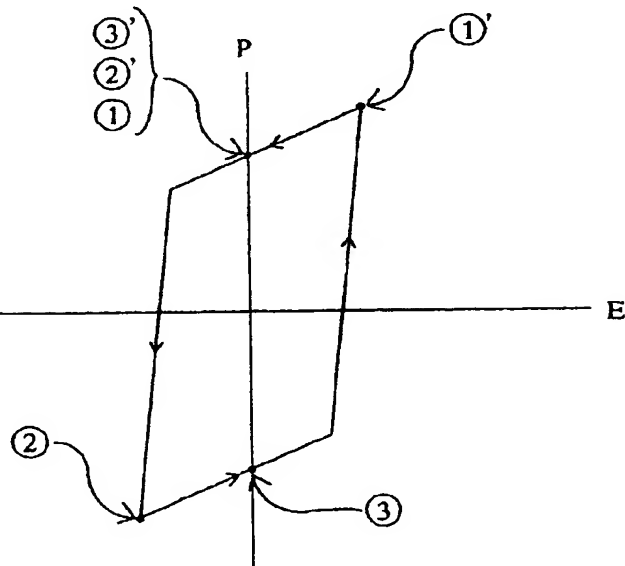
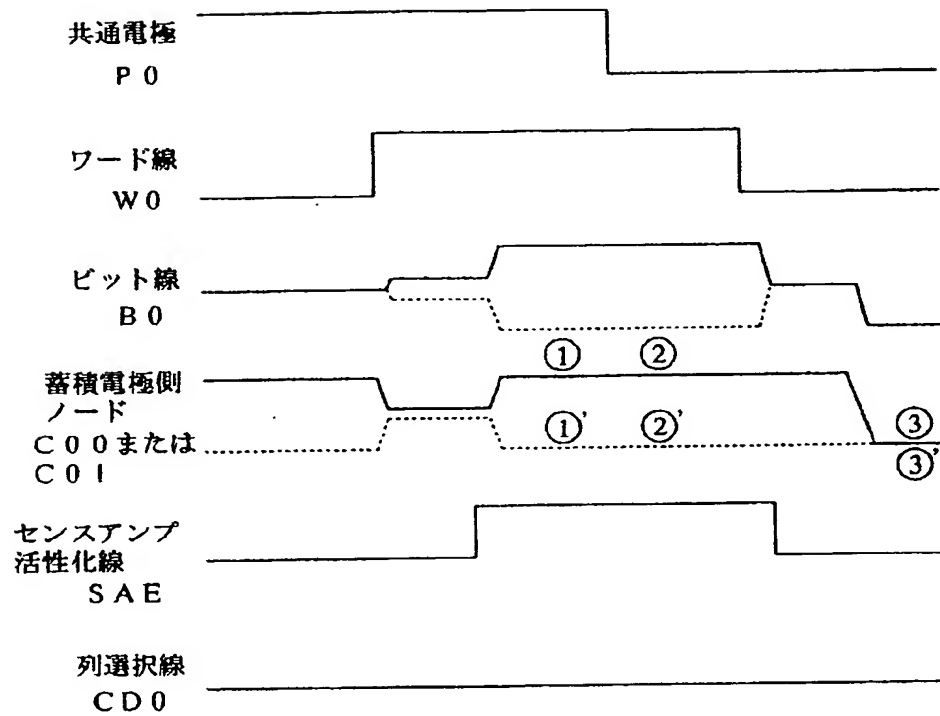
【図2】

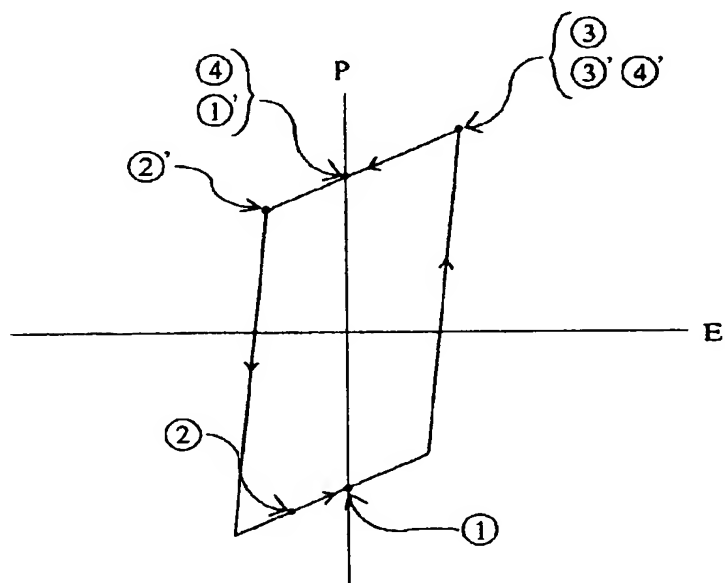


【図3】



【図4】





フロントページの続き

(56)参考文献 特開 平 2 - 301093 (J P , A)
特開 平 3 - 283176 (J P , A)
特開 平 5 - 75072 (J P , A)
特開 平 5 - 89692 (J P , A)
特開 平 5 - 325572 (J P , A)

(58)調査した分野(Int.Cl.⁶, D B 名)

H01L 27/10 451
G11C 11/22
H01L 21/8247
H01L 29/788
H01L 29/792